

특 1985-0007703

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.
G06F 13/14

(11) 공개번호 특1985-0007703
(43) 공개일자 1985년12월07일

(21) 출원번호	특1985-0002178
(22) 출원일자	1985년 04월01일
(30) 우선권주장	596219 1984년 04월02일 미국(US)
(71) 출원인	모토로라 인코포레이티드 빈센트 조셉 로너 미합중국, 일리노이 60196, 샤웬버그, 미스트 웹공원 로드 1303
(72) 발명자	이라 밀러 미합중국, 아리조나 85283, 템프, 사우스 헤더 드라이브 5630
(74) 대리인	이병호

심사청구 : 있음

(54) 집적 데이터 변환회로

요약

내용 없음

도표도

도1

명세서

[발명의 명칭]

집적 데이터 변환회로

[도면의 간단한 설명]

제1도는 본 발명의 데이터 변환회로의 부분적인 블록 및 개략선도, 제2도는 제1도의 데이터 변환회로의 상세화된 블록 및 개략선도, 제3도는 본 발명의 데이터 변환회로에서 사용된 다-콜렉터 PNP 트랜지스터의 개략도.

*도면의 부호에 대한 설명

10:데이터 변환회로 12:마이크로프로세서(MPU) 14:6비트자리 디지털-아날로그변환기(DAC) 16:아날로그-디지털변환기(ADC) 18:비저항성 2진 웨이티드 전류원 20:기준증폭기 22:비트스위치 26,30:버퍼증폭기 40:아날로그 입력증폭기 42:제어전류원 44:비교기 66:아날로그스위치 68:선택논리회로.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

집적 데이터 변환회로(10)에 있어서, 디지털-아날로그회로(14)를 구비하여 다비트로 구성된 디지털 입력신호를 아날로그신호로 변환하고, 상기 디지털-아날로그 회로는 다수의 2진 웨이티드 출력전류를 공급하는 통합된다. 콜렉터 트랜지스터(160)와 디지털 입력신호에 응답하여 상기 아날로그 신호를 발생하기 위하여 상기 출력전류중 선택전류를 합산하는 스위치 수단(22)을 포함하고, 아날로그-디지털 변환기(16)를 구비하여 아날로그전압을 디지털신호로 변환하고, 상기 아날로그 디지털 변환기는 공급된 아날로그전압(40, 42, 68)을 상징하는 전류(160)를 발생하는 수단과 상기 상징전류와 상기 디지털-아날로그회로(14)에서 공급된 아날로그전류(DAC)와를 비교하는 비교기수단(44)을 포함하여 상기 상징전류 및 상기 아날로그 회로의 상대크기에 의하여 전환되는 레벨을 갖는 상기 디지털신호를 발생하는 것을 특징으로 하는 집적 데이터 변환회로.

청구항 2

제1항에 따른 데이터 변환회로에 있어서, 상기 디지털-아날로그회로(14)는 24개 에미터, 하나의 베이스 및 96개 콜렉터를 갖는 다 콜렉터 트랜지스터(160)와 상기 콜렉터중 소정의 콜렉터는 서로 상호연결되어 상기

다수의 2진 웨이티드 전류를 발생하고, 상기 다 플렉터 트랜지스터의 상기 베이스에 결합되어 기준전류를 설정하는 기준증폭기수단(20)과, 상기 디지털-아날로그회로의 합산마디출력(24)에 결합된 음극과 양극을 각각 갖는 다수의 다이오드(112, 114, 116, 118, 120, 122)를 포함하는 상기 전류스위치(22)를 구비하고 상기 다이오드의 각 다이오드의 양극은 상기 다수의 2진 웨이티드 출력전류중 한 전류를 수신하고 상기 디지털-아날로그회로의 각 입력에 결합되어 상기 디지털 입력신호의 상기 디지털 정보비트를 수신하는 것을 특징으로 하는 집적데이터 변환회로.

청구항 3

제1항의 데이터 변환회로에 있어서, 상기 아날로그-디지털 변환기는 아날로그전압이 공급되는 다수의 비반전입력(+)과 반전입력(-)과 출력을 갖는 다 입력 연산증폭기(79)로 이루어진 상집전류를 발생하는 상기 수단과, 상기 연산증폭기의 상기 출력을 상기 반전입력에 결합하는 상기 아날로그 전압수단을 상징하는 상기 전류를 발생하는 회로수단(82, 84, 86)과, 입력 및 출력(46)을 갖는 상기 비교기수단(16)을 포함하고, 상기 입력은 상기 회로수단과 상기 아날로그신호가 발생하는 상기 디지털-아날로그 변환기의 출력합산마디(78)에 결합되고, 상기 출력은 상기 아날로그-디지털 변환기의 출력인 것을 특징으로 하는 집적 데이터 변환회로.

청구항 4

제3항의 데이터 변환회로에 있어서, 상기 디지털-아날로그회로는 24개의 에미터, 96개의 플렉터 및 하나의 베이스를 갖는 홀 PNP 트랜지스터인 상기 다플렉터 트랜지스터(160)와, 서로 상호연결되어 상기 다수의 2진 웨이티드 전류를 발생하는 상기 플렉터중 소정의 플렉터와, 양극 및 음극을 갖는 다수의 다이오드(112, 114, 116, 118, 120, 122)를 포함하는 상기 전류 스위치(22)를 구비하고, 상기 각 음극은 상기 출력 합산마디에 결합되고, 상기 각 다이오드의 양극은 상기 다수의 2진 웨이티드 전류중 한 전류를 수신하고 상기 디지털 입력신호의 각 비트가 공급되는 상기 디지털-아날로그 변환기의 각 입력에 결합되는 것을 특징으로 하는 집적 데이터 변환회로.

청구항 5

제4항의 데이터 변환회로에 있어서, 공급되어지는 순차논리입력신호에 응답하여 상기 연산증폭기(40)의 상기 각 비반전입력을 순차적으로 선택하는 선택논리회로수단(68)을 포함하고, 이에 의하여 상기 비반전입력중 선택된 입력에서 나타나는 아날로그 전압을 상징하는 상기 연산증폭기의 상기 회로수단(79, 82, 84, 86)에 의해서 전류가 발생하는 것을 특징으로 하는 집적 데이터 변환회로.

청구항 6

디지털 입력신호를 아날로그 출력신호로 변환하는 집적 디지털-아날로그 변환기 회로에 있어서, 상호 연결된 상기 다 플렉터중 소정의 플렉터를 가져 다수의 2진 웨이티드 전류를 발생하는 PNP 다플렉터 트랜지스터(160)와, 상기 PNP 다플렉터 트랜지스터의 상기 상호 연결된 플렉터에 결합되고 공급된 디지털 신호의 특정한 비트를 수신하는데 적합한 다수의 입력을 가져 출력 합산마디에서 상기 다수의 2진 웨이티드 전류중 특정한 전류를 합산하여 상기 아날로그 출력신호를 발생하는 스위치회로수단(22)을 구비하는 것을 특징으로 하는 집적데이터 변환회로.

청구항 7

제6항의 디지털-아날로그 변환기회로에 있어서, 상기 PNP 다플렉터 트랜지스터는 집적회로로 형성되고 하나의 베이스와 24개의 에미터와 96개의 플렉터를 가지며 상기 24개의 에미터 각각은 상기 96개 플렉터에서 대략 4개 사이에 1개꼴로 공간을 두고 구적으로 위치해 있는 것을 특징으로 하는 집적 데이터 변환회로.

청구항 8

제7항의 디지털-아날로그 변환기 회로에 있어서, 상기 스위치 회로수단은 디지털 입력신호의 상기 비트중 특정한 비트에 각각 상응하는 다수의 다이오드수단을 포함하고, 상기 다수의 다이오드수단중 각각의 다이오드수단은 상기 출력합산마디에 결합된 음극 및 양극을 가지며, 각각의 양극은 상기 다플렉터 트랜지스터의 상기 다수의 상호연결된 플렉터 각각에 결합되는 것을 특징으로 하는 집적 데이터 변환회로.

청구항 9

제8항의 디지털-아날로그 변환기회로에 있어서, 상기 PNP 다플렉터 트랜지스터의 상기 베이스에 결합되어 디지털-아날로그 변환기 회로의 기준전류를 셋트하는 기준 증폭기수단(20)과, 동작 바이어스를 상기 에미터에 공급하는 회로수단을 포함하는 것을 특징으로 하는 집적 데이터 변환회로.

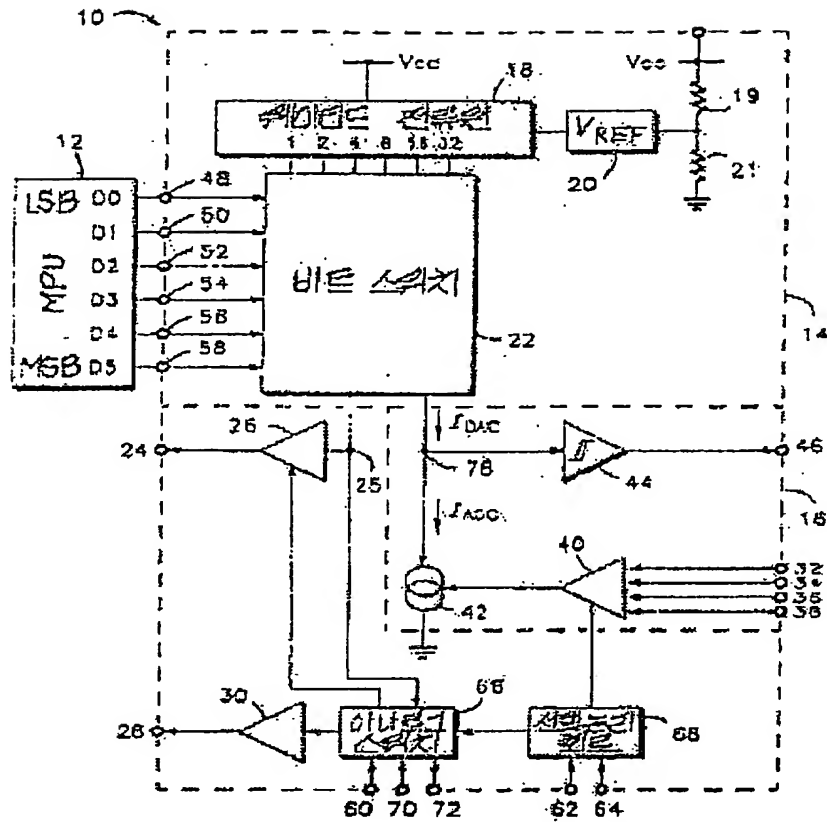
청구항 10

입력 아날로그전압을 디지털 출력신호로 변환하는 집적 아날로그-디지털 변환회로에 있어서, 합산마디(78)에서 기준전류(I_{REF})를 설정하는 바이어스 전류수단(18, 20, 22)과, 입력 아날로그 전압에 응답하여 입력 아날로그 전압을 상징하는 출력전류(I_{OUT})를 발생하는 연산 증폭기수단(40)과, 상기 연산증폭기수단과 상기 합산마디 사이에 결합되어 상기 연산증폭기의 상기 출력전류와 실제로 동등한 상기 합산마디에서 전류를 설정하는 전류미러수단(84, 86)과, 상기 합산마디에 결합된 입력과 아날로그-디지털 변환기회로의 출력에 결합된 출력을 가져 디지털 출력신호를 발생하는 비교기수단(44)을 구비하고, 상기 비교기수단은 상기 기준전류와 상기 전류미러수단에 의해 설정된 상기 전류의 상대크기에 응답하는 것을 특징으로 하는 집적 데이터 변환회로.

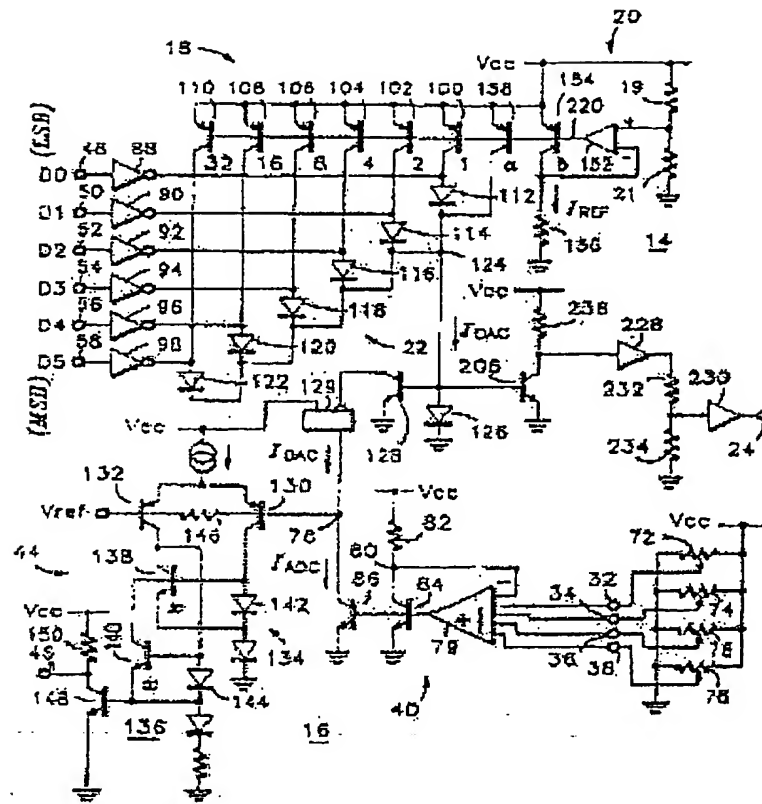
※ 참고사항 : 최초출원내용에 의하여 공개하는 것임.

도면

도면 1



5B2



도 9

